

**HIGH FREQUENCY SEMICONDUCTOR AMPLIFIER**

**Patent number:** JP9139639  
**Publication date:** 1997-05-27  
**Inventor:** TARUI YUKINORI; ITO YASUYUKI; SUZUKI KIMIKO;  
MITSUI YASURO  
**Applicant:** MITSUBISHI ELECTRIC CORP  
**Classification:**  
- international: H03F3/68; H01P5/19; H03F3/193; H03F3/60  
- european:  
**Application number:** JP 19950294297 19951113  
**Priority number(s):** JP 19950294297 19951113

**Abstract of JP9139639**

**PROBLEM TO BE SOLVED:** To realize a loop oscillation block system in which hardship of resistor mount is overcome to prevent abnormal amplification due to loop oscillation. **SOLUTION:** A high frequency signal received from an input terminal 1 of this circuit is given to a semiconductor chip input terminal 9 via an input matching circuit 3 and a bonding wire 8 and amplified by an amplification element 5 consisting of plural semiconductor chips 7. Then the amplified signal is synthesized and given to an output terminal 10 via a semiconductor chip output terminal 10, the bonding wire 8 and connect to an output terminal 2 via an output matching circuit 4. A resistor 6 is loaded in a form of a sheet resistor imbedded in lines having sets of semiconductor chips 7 in the vicinity of the amplification element 5 in the input matching circuit 3 or the output matching circuit 4.

---

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-139639

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/68		H 0 3 F 3/68	B
H 0 1 P	5/19		H 0 1 P 5/19	A F8
H 0 3 F	3/193		H 0 3 F 3/193	
	3/60		3/60	

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平7-294297

(22) 出願日 平成7年(1995)11月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 垂井 幸宣

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 伊藤 康之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 鈴木 貴美子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外3名)

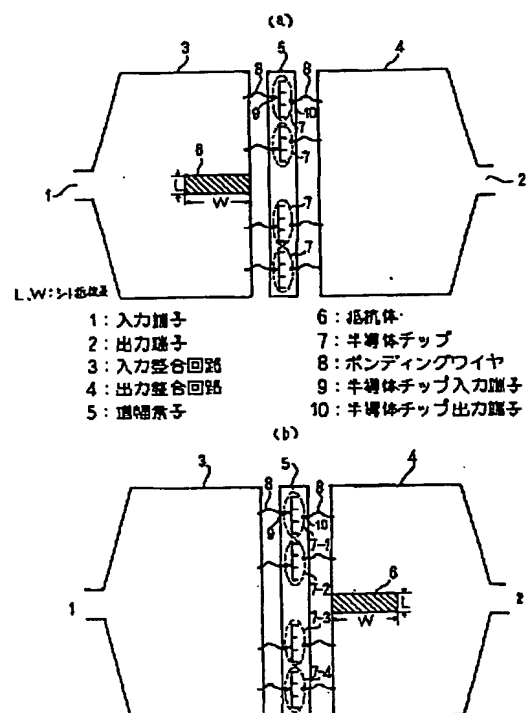
最終頁に続く

(54) 【発明の名称】 高周波半導体増幅器

(57) 【要約】

【課題】 ループ発振による異常増幅現象を防止するための抵抗装荷上の難点を解消するループ発振阻止方式を実現する。

【解決手段】 入力端子1から入った高周波信号に対し分配し入力整合回路3とボンディングワイヤ8を介し当該半導体チップ入力端子9に接続する、複数の半導体チップ7からなる増幅素子5で、増幅後当該半導体チップ出力端子10からボンディングワイヤ8と出力整合回路4を介し合成し出力端子2に接続する。入力整合回路3または出力整合回路4で増幅素子5近傍の当該半導体チップ7の組を挟む線路内に埋め込んだシート抵抗の形で抵抗体6を装荷する。



(2)

2

## 【特許請求の範囲】

【請求項 1】 高周波信号に対し入力整合回路を介し分配増幅をし出力整合回路を介し合成をする複数の単位半導体素子からなる増幅素子を備える高周波半導体増幅器において、前記入力整合回路または出力整合回路で前記増幅素子近傍の線路内にシート抵抗の形で装荷する抵抗体を設けることを特徴とする高周波半導体増幅器。

【請求項 2】 請求項 1 記載の抵抗体に代えて、当該入力端子を連結する複数の単位半導体素子からなる増幅素子間に不平衡モード発振電力を吸収できる種類・形状で装荷する抵抗体を設けることを特徴とする請求項 1 記載の高周波半導体増幅器。

【請求項 3】 請求項 1 記載の抵抗体に代えて、複数の単位半導体素子各入力または出力端子間に同一基板上で当該単位半導体素子製作時に不平衡モード発振電力を吸収できる種類・形状で装荷する抵抗体を設けることを特徴とする請求項 1 記載の高周波半導体増幅器。

【請求項 4】 複数の高周波半導体増幅器を並列接続するとき、請求項 1 記載の抵抗体に代えて、形成する閉ループ回路内の入力または出力整合回路当該伝送線路の中央対向位置間に直接不平衡モード発振電力を吸収できる種類・形状で装荷する抵抗体を設けることを特徴とする請求項 1 記載の高周波半導体増幅器。

【請求項 5】 請求項 4 記載の抵抗体に代えて、形成する閉ループ回路内の入力または出力整合回路当該伝送線路に対向し整合回路を構成する容量性スタブを介し不平衡モード発振電力を吸収できる種類・形状で装荷する抵抗体を設けることを特徴とする請求項 4 記載の高周波半導体増幅器。

【請求項 6】 請求項 4 記載の抵抗体に代えて、形成する閉ループ回路内の入力整合回路と出力整合回路当該伝送線路の複数対向位置間に予め不平衡モード発振電力を吸収できる種類・形状の非接続状態で装荷しておき、当該閉ループ回路内の不平衡モード電力発振時に所要対向位置を接続する抵抗体を設けることを特徴とする請求項 4 記載の高周波半導体増幅器。

【請求項 7】 請求項 4 記載の抵抗体に代えて、形成する閉ループ回路内の入力整合回路として多段インピーダンス変成器を形成するとき、対向する各インピーダンス変成器間に当該伝送線路の特性インピーダンスが増大するごとに抵抗値の大きくなる、不平衡モード発振電力を吸収できる種類・形状で装荷する抵抗体を設けることを特徴とする請求項 4 記載の高周波半導体増幅器。

$$|a_1^- / a_1| = 1, \angle a_1^- / a_1 = 2m\pi \cdots (1)$$

$$|a_2^- / a_2| = 1, \angle a_2^- / a_2 = 2n\pi \cdots (2)$$

ここに  $a_1$  と  $a_1^-$  および  $a_2$  と  $a_2^-$  は進行波  $\alpha$  および  $\gamma$  の入力波および反射波、 $m$  と  $n$  は整数を表す。

## 【0005】

【発明が解決しようとする課題】 上記のような従来の並列動作高出力型高周波半導体増幅器では、閉ループ回路

## \* 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明はマイクロ波／ミリ波帯に適用する高周波半導体増幅器に関する。

## 【0002】

【従来の技術】 たとえば一般に示す従来の高周波半導体増幅器は図 9 のように、たとえば 2 個ずつ単位増幅素子を並列に合成して高出力増幅器を構成する場合、図 9

(a) に示す等価回路で等価増幅素子 5 a と 5 b は、入力端子 1 から入った高周波信号に対し分配し等価入力整合回路 3 a と 3 b を介し当該半導体チップ入力端子 9 に接続し、増幅後当該半導体チップ出力端子 10 から等価出力整合回路 4 a と 4 b を介し合成し出力端子 2 に接続する。当該各出力に対し、電力合成率を低下しないように位相を揃え閉回路合成端 B での位相差を無くするようにしている。また図 9 (a) に示す従来例では等価増幅素子 5 a と 5 b と入／出力整合回路 3 / 4 (入／出力端子 1 / 2 を継ぐ伝送線路やボンディングワイヤで形成される) とで構成される閉ループ回路の発振条件により、不平衡モード電力が発振することがあるため、図 9 (b) に示す等価回路のように、ループ内に並列に抵抗体 6 e (抵抗値 R) を装荷し、当該中央がショート点となり不平衡モード電力にとって R / 2 の抵抗が見えるようにすることにより、不平衡モード電力を吸収し増幅器の発振を伴う不安定動作を阻止するようにしている。この場合基本モード発振電力の損失を生じないように抵抗体 6 e の装荷位置 T 1 と T 2 を等電位とし電流が流れないようにする。

【0003】 上記従来の並列動作高出力型高周波半導体増幅器は、閉ループ回路内の正確な対向位置 (平衡位置) に抵抗体を装荷して不平衡モード発振電力を吸収しループ発振を阻止する方式を採る。

【0004】 ループ発振条件は図 10 (a) と (b) のように、逆相同振幅の進行波 (図 10 (a) と (b) の  $\alpha$  と  $\gamma$ ) であり、オープン点となる閉回路合成端 B で反射され見掛け上入／出力整合回路 3 / 4 と増幅回路 5 と分配／合成端 A / B とを通るループを描く奇モード発振電力が、入力側と出力側とから増幅素子 5 に印加される場合で次式 (1) と (2) のように異なる。なお偶モード発振電力は、同相同振幅の進行波 (図 10 (a) と (b) の  $\rho$  と  $\delta$ ) であり、ショート点となる閉回路分配端 A または合成端 B で合成され入力端子 1 または出力端子 2 に進む。

内平衡位置に抵抗体を装荷して不平衡モード発振電力を吸収しループ発振を阻止する方式を採るから、並列動作をする複数の増幅素子と入出力整合回路間に生じる閉ループ回路だけでなく当該増幅素子の半導体チップ内に生じる小閉ループ回路での発振をも阻止するためには抵抗

抗装荷が困難になる実装上の問題点があった。

【0006】この発明が解決しようとする課題は、高周波半導体増幅器でループ発振による異常増幅現象を防止するための抵抗装荷上の難点を解消し、整合回路の正確な対向位置の間に抵抗体を装荷する必要のないループ発振阻止方式を提供することにある。

【0007】

【課題を解決するための手段】この発明の高周波半導体増幅器は、高周波信号に対し入力整合回路を介し分配増幅をし出力整合回路を介し合成をする複数の単位半導体素子からなる増幅素子を備えるもので、上記課題を解決するためつぎの手段を設け、整合回路の正確な対向位置の間に抵抗体を装荷する必要のないループ発振阻止方式を採ることを特徴とする。

【0008】抵抗体は、入力整合回路または出力整合回路で増幅素子近傍の線路内にシート抵抗の形で、または当該入力端子を連結する複数の単位半導体素子からなる増幅素子間に不平衡モード発振電力を吸収できる種類・形状で、または複数の単位半導体素子各入力または出力端子間に同一基板上で当該単位半導体素子製作時に不平衡モード発振電力を吸収できる種類・形状でそれぞれ装荷する。または複数の高周波半導体増幅器を並列接続するとき、形成する閉ループ回路内の入力または出力整合回路当該伝送線路の中央対向位置間に直接不平衡モード発振電力を吸収できる種類・形状で装荷する、もしくは形成する閉ループ回路内の入力または出力整合回路当該伝送線路に対向し整合回路を構成する容量性スタブを介し不平衡モード発振電力を吸収できる種類・形状で装荷する、もしくは形成する閉ループ回路内の入力整合回路と出力整合回路当該伝送線路の複数対向位置間に予め不平衡モード発振電力を吸収できる種類・形状の非接続状態で装荷しておき、当該閉ループ回路内の不平衡電力発振時に所要対向位置の装荷抵抗体を接続する、もしくは形成する閉ループ回路内の入力整合回路として多段インピーダンス変成器を形成するとき、対向する各インピーダンス変成器間に当該伝送線路の特性インピーダンスが増大するごとに抵抗値の大きくなる、不平衡モード発振電力を吸収できる種類・形式で装荷する。

【0009】

【発明の実施の形態】この発明の実施の一形態を示す高周波半導体増幅器は図1(a)のように、たとえば2個ずつ単位増幅素子(電界効果トランジスタなど)を並列に合成して高出力増幅器を構成する場合(等価回路を図2に示す)、増幅素子5中単位増幅素子の複数の半導体チップ7は、入力端子1から入った高周波信号に対し分配し入力整合回路3とボンディングワイヤ8を介し当該半導体チップ入力端子9に接続し、増幅後当該半導体チップ出力端子10からボンディングワイヤ8と出力整合回路4を介し合成し出力端子2に接続する。抵抗体6は、入力整合回路3で半導体チップ7の組を挟む線路内

に埋め込んだシート抵抗(抵抗値 $R=R_0 \times L/W$ 、 $R_0$ はシート抵抗値、 $L$ と $W$ はシート抵抗長)の形で装荷する。上記従来例の図10(a)に示す奇モード発振電力を吸収できるだけでなく、上記従来例では吸収できない半導体チップ近傍の小閉ループ回路に生じる奇モード発振電力も吸収できる。また抵抗装荷に伴うボンディングワイヤを不要にするから、インダクタ成分の影響が無くループ発振阻止性能を向上できる。なお抵抗体6は図1(b)のように、入力整合回路3に代えて出力整合回路4に埋め込み装荷してもよいのはいうまでもない。

【0010】上記実施の形態の高周波半導体増幅器は、不平衡位置の抵抗装荷時に生じる基本モード発振電力の損失がないように、整合回路の正確な対向位置の間に抵抗体を装荷する必要のないループ発振阻止方式を採る。

【0011】なお上記図1(a)または(b)に示す発明の実施の形態で抵抗体6は入力整合回路3または出力整合回路4で増幅素子5近傍の線路内にシート抵抗の形で装荷するとして説明したが、図3のように金属導体11で複数の当該半導体チップ入力端子9間を継ぎ同一電位とする複数の増幅素子5当該入力端子9間に接続される抵抗体6aとしてボンディングワイヤ8aを介するチップ抵抗の形で装荷してもよい。抵抗体6aは半導体チップ入力端子9直下に装荷するからより低い抵抗値でよいことやインダクタの少ないボンディングワイヤ8aでよいことから、上記従来例の図10(a)に示す奇モード発振電力を効果的に吸収できる。

【0012】また上記図1(a)または(b)に示す発明の実施の形態で抵抗体6は図4(a)または(b)のように、複数の半導体チップ各入力端子9または出力端子10間に接続される抵抗体6bとして薄膜抵抗の形で増幅素子5中の半導体チップ7製作時に装荷してもよい。上記従来例の図10(a)に示す奇モード発振電力を吸収できるだけでなく、半導体チップ入力端子9または出力端子10で複数回反射される奇モード発振電力も吸収できる。また抵抗装荷に伴うボンディングワイヤを不要にするから、インダクタ成分が無くループ発振阻止性能を向上できる。

【0013】また上記図1に示す発明の実施の形態で抵抗体6は図5のように、複数の増幅系を並列接続して形成する閉ループ回路内の対向する入力整合回路3(または出力整合回路4でもよい)の当該伝送線路中央に並列に接続される抵抗体6cとしてボンディングワイヤ抵抗の形で装荷してもよい。入力整合回路3の当該伝送線路端に集中する電磁界の影響を強く受けないから、ループ発振条件の計算精度が向上し奇モード発振電力を効果的に吸収できる。

【0014】また上記図5に示す発明の実施の形態で抵抗体6cは図6のように、対向する入力整合回路3(または出力整合回路4でもよい)の当該伝送線路中央に容量性スタブ12を介し接続される抵抗体6dとしてたと

えば薄膜抵抗やチップ抵抗などの形で装荷してもよい。容量性スタブで正確な対向位置に抵抗体 6 d を装荷でき、容量性スタブ端面で基本モード発振電力ではオープン点となり整合に影響しないから、ボンディングワイヤを不要または短かくする薄膜抵抗またはチップ抵抗使用時、奇モード発振電力を効果的に吸収しかつ基本モード発振電力の損失を防止できる。

【0015】また上記図 5 に示す発明の実施の形態で抵抗体 6 c は図 7 のように、対向する入力整合回路 3 と出力整合回路 4 との当該伝送線路複数位置に予め奇モード発振電力を吸収できる種類・形状の抵抗体 6 e として接続端子 13 付きで装荷しておき、ループ発振現象発生時のループ発振条件で決まる位置の当該抵抗体 6 e をワイヤで接続して形成するようにしてもよい。製造段階では予測が難しいループ発振現象の発生時に速やかに対処できる。また製造段階でループ回路内の対向位置に正確に装荷できるから、位置ずれによる基本モード発振電力の損失を生じないようにできる。また接続のワイヤを短くできるから、ループ発振条件の計算精度が向上し奇モード発振電力を効果的に吸収できる。

【0016】また上記図 5 に示す発明の実施の形態で抵抗体 6 c は図 8 のように、対向する入力整合回路 3 として中心周波数で入/4 線路長をもつ多段インピーダンス変成器を形成するとき、各インピーダンス変成器ごとに接続され、増幅素子 5 から遠いほど大きい抵抗値 ( $R_1 > R_2 > R_3 > R_4$ ) をもつ、奇モード発振電力を吸収できる種類・形状の抵抗群の抵抗体 6 f として装荷してもよい。当該伝送線路の特性インピーダンスが増大するごとに抵抗値の大きくなる抵抗群を装荷するから、奇モード発振電力を効果的に吸収できる。

【0017】また上記図 3 ~ 図 6 に示す発明の実施の形態で抵抗体 6 a ~ 6 d は、チップ抵抗、薄膜抵抗、ボンディングワイヤ抵抗その他の奇モード発振電力を吸収できる種類・形状の抵抗でよいというまでもない。

#### 【0018】

【発明の効果】上記のようなこの発明の高周波半導体増幅器では、整合回路の正確な対向位置の間に抵抗体を装荷する必要のないループ発振阻止方式を採るから、従来のように閉ループ回路内の正確な対向位置（平衡位置）に抵抗体を装荷して不平衡モード発振電力を吸収しループ発振を阻止する方式に比べ抵抗装荷上の難点を解消し、各発明ごとにつぎの効果がある。

(1) 整合回路内に埋め込むシート抵抗の形で抵抗体を装荷するため、従来のように閉ループ回路内の正確に対向する位置に抵抗体を装荷する必要がない。また半導体チップ近傍の小閉ループ回路に生じる奇モード発振電力も吸収できる。また抵抗装荷用ワイヤが不要でインダクタ成分の影響がなく、精度よく発振現象を抑止できる。

(2) 半導体チップ入力端子直下に装荷する抵抗体はより低い抵抗値でよく、奇モード発振電力を効果的に吸収できる。

(3) 半導体チップを構成する単位半導体増幅素子のアンバランスにより生じる不平衡モード発振を除去できる。

(4) 伝送線路端に集中する電磁界の影響を受けず、奇モード発振電力を効果的に吸収できる。

(5) 容量性スタブで正確な対向位置に抵抗装荷をし、奇モード発振電力を効果的に吸収できるため、基本モード発振電力の損失がなく、精度よく奇モード発振電力を除去できる。

(6) ループを形成する整合回路内に予め抵抗を装荷しておくことで、製造段階では容易に予測できない奇モード発振電力を吸収できる。

(7) 多段インピーダンス変成器の各当該伝送線路インピーダンス値に対応する抵抗群を装荷し、奇モード発振電力を効果的に吸収できる。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の一形態を示す高周波半導体増幅器の構成図。

【図 2】 図 1 に示す高周波半導体増幅器の等価回路図。

【図 3】 この発明の実施の他の一形態を示す構成図。

【図 4】 この発明の実施の他の一形態を示す構成図。

【図 5】 この発明の実施の他の一形態を示す等価回路図。

【図 6】 この発明の実施の他の一形態を示す等価回路図。

【図 7】 この発明の実施の他の一形態を示す等価回路図。

【図 8】 この発明の実施の他の一形態を示す等価回路図。

【図 9】 従来技術を示す高周波半導体増幅器の等価回路図。

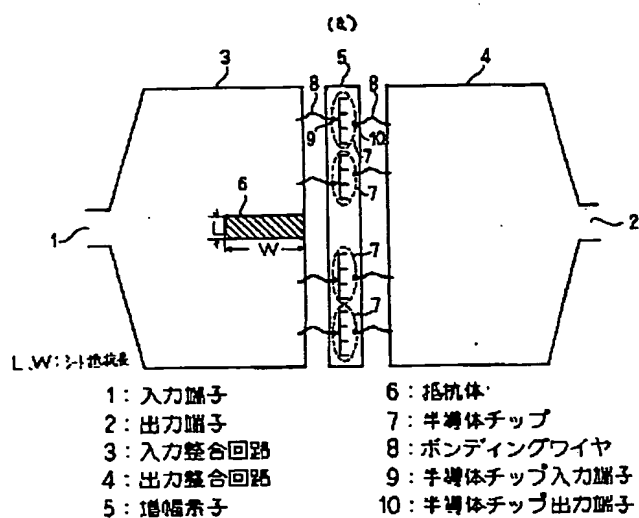
【図 10】 図 9 に示す奇モード発振電力のループ発振条件を説明する図。

#### 【符号の説明】

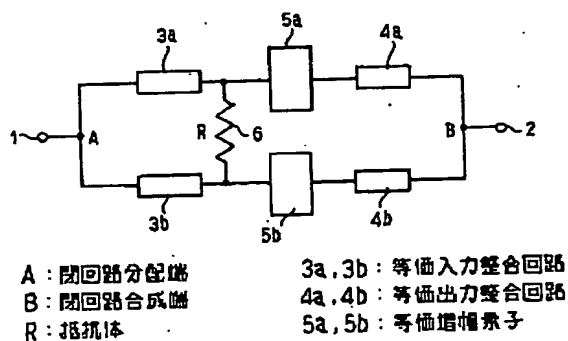
1 入力端子、2 出力端子、3 入力整合回路、3 a、3 b 等価入力整合回路、4 出力整合回路、4 a、4 b 等価出力整合回路、5 増幅素子、5 a、5 b 等価増幅素子、6、6 a、6 b、6 c、6 d、6 e、6 f 抵抗体、7 半導体チップ、8、8 a ボンディングワイヤ、9 半導体チップ入力端子、10 半導体チップ出力端子、11 金属導体、12 容量性スタブ、13 接続端子。

なお図中、同一符号は同一または相当部分を示す。

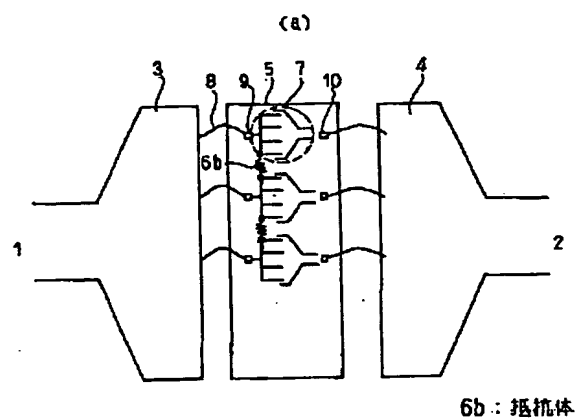
【図 1】



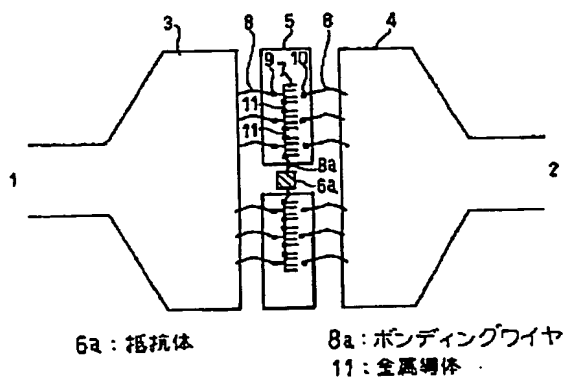
【図 2】



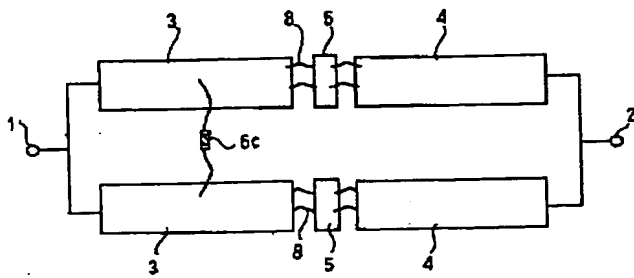
【図 4】



【図 3】

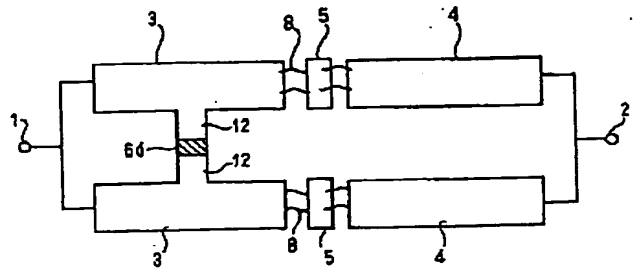


【図 5】

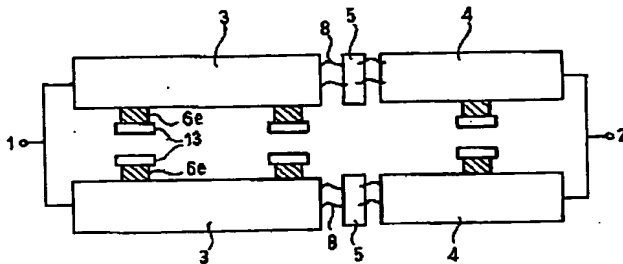


6c: 抵抗体

【図 6】

6d: 抵抗体  
12: 容量性スタブ

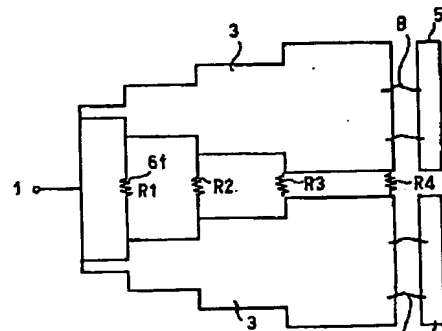
【図 7】



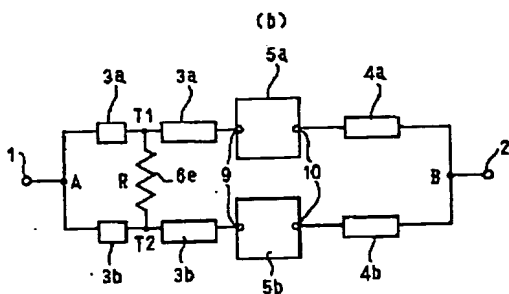
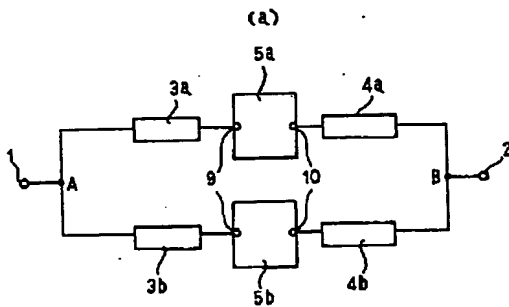
6e: 抵抗体

13: 接続端子

【図 8】

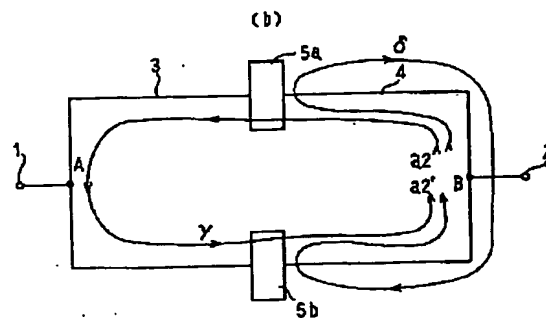
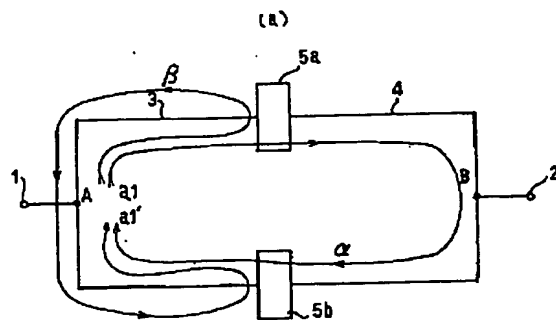
R1, R2, R3, R4: 抵抗値 ( $R1 > R2 > R3 > R4$ )  
6f: 抵抗体

【図 9】



6e: 抵抗体

【図 10】



フロントページの続き

(72) 発明者 三井 康郎  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**